

Direct memory access controller

Patent Number: US5313607
Publication date: 1994-05-17
Inventor(s): TOKUMARU TAKEJI (JP)
Applicant(s):: TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: JP3244059
Application Number: US19910659240 19910222
Priority Number(s): JP19900039709 19900222
IPC Classification: G06F12/02
EC Classification: G06F12/04, G06F13/28
Equivalents: JP2606942B2, KR9308047

Abstract

A DMA controller for supporting a data transfer operation between a first memory and a second memory includes a selector for selecting data stored in the first memory per data unit, a shifting circuit for shifting the data selected by the selector to one direction of required numbers, a F/F (flip-flop) for storing the data shifted by the shifting circuit for every data unit, a feedback circuit for feedback of the stored data by the F/F to the shifting circuit, and a transfer circuit for transferring the data stored in the F/F to the second memory.

Data supplied from the esp@cenet database - I2

ST AVAILABLE COPY

⑫ 公開特許公報(A) 平3-244059

⑪ Int.Cl.³
G 06 F 13/28

識別記号 庁内整理番号
3 1 0 L 7052-5B

⑬ 公開 平成3年(1991)10月30日

審査請求 有 請求項の数 1 (全8頁)

⑭ 発明の名称 DMAコントローラ

⑮ 特 願 平2-39709

⑯ 出 願 平2(1990)2月22日

⑰ 発 明 者 得 丸 武 治 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

DMAコントローラ

2. 特許請求の範囲

ミスアライメント状態にある第1及び第2のメモリ間のデータ転送を制御するDMAコントローラであって、

複数の単位データを単位データ毎に保持し、保持した所定の単位データを前記第2のメモリに転送する複数の保持手段と、

前記第1のメモリから転送された単位データを、前記第1及び第2のメモリのミスアライメント状態に応じて前記所定の保持手段に配置格納する配置制御手段と

を有することを特徴とするDMAコントローラ。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、ミスアライメント状態にあるメ

モリ間におけるデータ転送をサポートするDMA(ダイレクト・メモリ・アクセス)コントローラに関する。

(従来技術)

近年コンピュータ技術の発展にともなう、マイクロプロセッサの性能向上が著しく、取り扱うデータ幅も増加する傾向にある。

このように、取り扱うデータの長ビット化にともなう、例えば取り扱うデータ幅が32ビットの場合には、通常32ビット幅のデータをバイト(8ビット)単位でもアクセスできるようにしている。

このようなデータのアクセスを可能とするためには、例えば32ビット幅のデータを32ビットのアドレスによって指定する場合に、第3図に示すように、32ビットのアドレスのうち、2ビット〜31ビットのアドレスにより32ビット幅のデータを指定し、0ビットと1ビットの計2ビットのアドレスにより32ビット幅のデータにおけるそれぞれ4つのバイトデータを指定するようにし

ている。

このように、バイト単位でもアクセス可能とするようにアドレスが設定され32ビット幅のデータが、2つのメモリ間で転送されて格納される場合には、両メモリ間におけるデータの格納アドレスがバイト単位で一致がとられたアライメント状態でデータ転送が行なわれる。例えば、ソースメモリSMからディスティネーションメモリDMへの32ビット幅のデータの転送においては、第4図に示すように、バイト単位でのデータ(第4図中に○、×、△で示す)のソース・アドレスとディスティネーション・アドレスの対応関係がとられているアライメント状態でデータ転送が行なわれる。

しかしながら、必ずしもアライメント状態においてデータ転送が行なわれるわけではなく、第5図に示すように、ソース・アドレスとディスティネーション・アドレスが異なったミスアライメント状態でデータ転送を行なう場合が生じる。

このようなミスアライメント状態におけるメモ

リ間でのデータ転送にあつては、ダイレクト・メモリ・アクセス(DMA)方式によって行なうことはできなかった。これは従来のDMAコントローラでは、ミスアライメント状態にあるメモリ間でのデータ転送をサポートするための機能が備えられていないためである。

このため、32ビット幅のデータを一括してDMAコントローラの制御の下に転送することはできなかった。したがって、例えば第5図に示すようなミスアライメント状態でのメモリ間でデータ転送を行なう場合には、まず、ソースメモリにおけるソース・アドレスA_nの3バイト目のデータ(第5図中○印で示す)をディスティネーションメモリにおけるディスティネーション・アドレスA_xの1バイト目に転送して格納する。次に、ソースメモリにおけるソース・アドレスA_(n+1)の0バイト目と1バイト目のデータ(第5図中×印で示す)をディスティネーションメモリにおけるディスティネーション・アドレスA_xの2バイト目と3バイト目に転送して格納する。次に、ソ

- 3 -

ースメモリにおけるソース・アドレスA_(n+1)の2バイト目と3バイト目のデータ(第5図中×印で示す)をディスティネーションメモリにおけるディスティネーション・アドレスA_(x+1)の0バイト目と1バイト目に転送して格納する。

このように、ソースメモリにおいて同一のアドレスに格納されているデータであっても転送先での格納アドレスが異なる場合には、32ビットの一連のデータを一括して転送することはできず、転送先での格納アドレスに応じてデータをバイト単位で分割転送しなければならない。このため、従来に比して著しく転送速度が遅くなっていた。

(発明が解決しようとする課題)

以上説明したように、従来、ミスアライメント状態にあるメモリ間でのデータ転送をサポートするDMAコントローラはなかった。このため、ミスアライメント状態でのデータ転送では、アライメント状態でのデータ転送に比べて多くの転送サイクルを要し、転送時間が長くなるといった不具合を招いていた。

- 5 -

- 4 -

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、ミスアライメント状態におけるデータ転送時間を短縮して、情報処理の高速化に寄与することができるDMAコントローラを提供することにある。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、この発明は、ミスアライメント状態にある第1及び第2のメモリ間のデータ転送を制御するDMAコントローラであつて、複数の単位データを単位データ毎に保持し、保持した所定の単位データを前記第2のメモリに転送する複数の保持手段と、前記第1のメモリから転送された単位データを、前記第1及び第2のメモリのミスアライメント状態に応じて前記所定の保持手段に配置格納する配置制御手段とから構成されている。

(作用)

上記構成において、この発明は、第1のメモリから第2のメモリへ転送しようとする転送デー

- 6 -

データを、第2のメモリに格納しようとする状態に応じて整列配置し、整列配置された転送データの中から第2のメモリに1回の転送で格納できる最大数の単位データを第2のメモリへ転送するようにしている。

(実施例)

以下、図面を用いてこの発明の実施例を説明する。

第1図はこの発明の一実施例に係わるDMAコントローラの要部構成を示す図である。

同図に示す実施例は、ミスマライメント状態にあるソースメモリとディスティネーションメモリ間のデータ転送において、転送データをソースメモリから一旦DMAコントローラ内のバッファに格納し、格納された転送データの中から転送先であるディスティネーションメモリの1アドレスに格納されるデータを選択して、選択したデータを一括してディスティネーションメモリの1アドレスに転送格納するようにしたものである。

第1図において、DMAコントローラは、選択

部1、シフト部2、バッファ部3、書込制御部4を備えている。

選択部1は、選択信号CHにしたがって導通/非導通が制御されるセレクト（第1図中○印で示す）で構成され、ソースメモリ（図示せず）から与えられる転送データあるいは後述するバッファ部3からフィードバックされる転送データを選択信号CHに基づいてバイト単位で選択する。選択部1は、選択信号CHが“1”レベルでソースメモリからの転送データを受ける上段のセレクトが導通状態となり、ソースメモリから与えられる転送データを選択する。一方、選択部1は、選択信号CHが“0”レベルでバッファ部3からフィードバックされた転送データを受ける下段のセレクトが導通状態となり、フィードバックされたデータを選択する。

なお、上段及び下段のセレクトのうち入力側がグラウンドに接続されているセレクトは、導通状態時にはデータ転送に係わらない“0”レベルの不確定の値を選択する。選択部1は、選択した転送

- 7 -

データをシフト部2に与える。

シフト部2は、シフト信号（S8～S32）によって導通/非導通が制御されるセレクト（第1図中に○印で示す）で構成されており、選択部1で選択された転送データをシフト信号にしたがって選択制御することにより、選択されたデータが与えられるバッファ部3に対してシフト動作を行なう。シフト部2は、ソースメモリから転送データが選択部1により選択されて与えられ、“1”レベルのシフト信号S8、S16、S24、S32が択一的に与えられると、与えられたバイト単位のデータをS8＝“1”レベルで0ビット右側（上位側）にシフトさせ、S16＝“1”レベルで8ビット右側（上位側）にシフトさせ、S24＝“1”レベルで16ビット右側（上位側）にシフトさせ、S32＝“1”レベルで24ビット右側（上位側）にシフトさせる。

一方、シフト部2は、バッファ部3からフィードバックデータが選択部2により選択されて与えられ、“1”レベルのシフト信号S8、S16、

- 9 -

- 8 -

S24、S32が択一的に与えられると、与えられたバイト単位のデータをS8＝“1”レベルで8ビット左側（下位側）にシフトさせ、S16＝“1”レベルで16ビット左側（下位側）にシフトさせ、S24＝“1”レベルで24ビット左側（下位側）にシフトさせ、S32＝“1”レベルで32ビット左側（下位側）にシフトさせる。

バッファ部3は、7つのフリップフロップ（F/F）31～37から構成されており、シフト部2から与えられる7バイトの転送データをバイト単位で格納保持する。F/F31～37は、7バイトの転送データのうち左方向（下位方向）から順に0～7ビット、8～15ビット、16～23ビット、24～31ビット、32～39ビット、40～47ビット、48～55ビットの転送データを格納保持する。

F/F31～37は、それぞれ保持した転送データをフィードバックさせて選択部1に与える。この時に、F/F35、36、37に保持された転送データのフィードバックは、フィードバック

- 10 -

信号FBで導通制御されるセレクトにより制御される。すなわち、フィードバック信号FBが“1”レベルでセレクトが導通状態となり、F/F35, 36, 37に保持された転送データが選択部1にフィードバックされ、フィードバック信号FBが“0”レベルでは、セレクトは非導通状態となり、F/F35, 36, 37に保持された転送データはフィードバックされない。

またF/F31~37のうちF/F31~34は、それぞれ保持した転送データをディスティネーションメモリへ与える。

書き込み制御部4は、書き込みポイント信号W0~W24に基づいてそれぞれのF/F31~37への転送データの書き込みをOR(論理和)ゲート42~46の出力により制御する。書き込み制御部4は、書き込みポイント信号W0が“1”レベルになると、ORゲート42, 43, 44の出力が“1”レベルとなり、F/F31, 32, 33, 34を書き込み可能状態とする。書き込みポイント信号W8が“1”レベルになると、ORゲート42, 43,

44, 45の出力が“1”レベルとなり、F/F32, 33, 34, 35を書き込み可能状態とする。書き込みポイント信号W16が“1”レベルになると、ORゲート43, 44, 45, 46の出力が“1”レベルとなり、F/F33, 34, 35, 36を書き込み可能状態とする。書き込みポイント信号W24が“1”レベルになると、ORゲート44, 45, 46の出力が“1”レベルとなり、F/F34, 35, 36, 37を書き込み可能状態とする。

以上説明したように、この発明の一実施例は構成されており、次にこの実施例の作用を第2図に示すバッファ部3の動作説明図を用いて説明する。

ここで、DMAコントローラの動作を第5図に示したミスマライメント状態でのデータ転送を一例として説明する。

まず、第1回目の転送サイクルでは、第5図に示すように、ディスティネーションメモリのアドレスAxに3バイト分のデータ(8~31ビット)を一括して転送格納できるので、ソースメモリの

- 11 -

アドレスAnの3バイト目に格納されているデータ(24~31ビット)と、アドレスA(n+1)に格納されている4バイトのデータ(0~31ビット)をバッファ部3に転送する。

具体的には、まず、選択信号CHを“1”レベル状態とし、シフト信号S8を“1”レベル状態とし、書き込みポイント信号W0を“1”レベル状態とする。これにより、ソースメモリのアドレスAxに格納されている3バイト目のデータ(24~31ビット)が選択部1により選択され、シフト部2ではシフトされず、バッファ部3の24~31ビットの転送データを格納するF/F34に与えられて格納される。この時に、F/F31~33は書き込み可能状態となり、ソースメモリのアドレスAxの0~2バイト目に格納されている不確定なデータが書き込まれるが、次の書き込み動作において確定したデータが書き込まれるため、不確定なデータが書き込まれてもかまわない。

次に、選択信号CHが“0”レベル状態、シフト信号S24を“1”レベル状態、フィードバッ

ク信号FBを“1”レベル状態、書き込みポイント信号W0をそれまでの“1”レベル状態とする。これにより、F/F34に保持された転送データをフィードバックさせ、選択部1を介してシフト部2に与え、シフト部2により下位側へ24ビットシフトさせ、バッファ部3の0~7ビットの転送データを格納するF/F31に与えて格納する。

次に、選択信号CHを“1”レベル状態、シフト信号S16を“1”レベル状態、フィードバック信号FBを“0”レベル状態、書き込みポイント信号W8を“1”レベル状態とする。これにより、ソースメモリのアドレスA(n+1)に格納されている4バイトの転送データ(0~31ビット)が、選択部1により選択され、シフト部2により上位側へ8ビットシフトされて、バッファ部3のF/F32~35にバイト単位で格納される。すなわち、第2図の第1回目の転送モードに示すように、ソースメモリの0バイト目のデータが8~15バイトのF/F32に、1バイト目のデータが16~23ビットのF/F33に、2バイト目の

- 12 -

- 13 -

- 14 -

データが24～31ビットのF/F34に、3バイト目のデータが32～39ビットのF/F35に与えられて保持される。これにより、ソースメモリからバッファ部3へ第1回目の転送データの取り込み動作が終了する。

次に、このような状態において、F/F31～33に保持された0～23ビットの転送データを上位方向へ8ビットシフトしてディスティネーションメモリのアドレスAxに転送する。これにより、ソースメモリのアドレスAxの3バイト目のデータとアドレスA(x+1)の0バイト目及び1バイト目のデータが連結されて、ディスティネーションメモリのアドレスAxの1バイト目～3バイト目に転送されて格納される。これにより、ソースメモリからディスティネーションメモリへの第1回目の転送サイクルが終了する。

次に、第2回目の転送サイクルでは、ソースメモリのアドレスA(n+2)に格納されている4バイトのデータをバッファ部3へ転送し、バッファ部3にそれまで保持されていたデータと連結し

て、ディスティネーションメモリのアドレスA(x+1)に一括して転送する。

具体的には、まず、選択信号CHを“0”レベル状態、シフト信号S24を“1”レベル状態、フィードバック信号FBを“1”レベル状態、書き込みポイント信号WOを“1”レベル状態とする。これにより、前回の転送サイクルにおいて、F/F34、35に保持されていたデータをフィードバックさせて下位方向に3バイトシフトさせ、F/F31、32に格納保持する。すなわち、ソースメモリにおけるアドレスA(n+1)の2バイト目(16～23ビット)に格納され、前回の転送サイクル終了時にF/F34に保持されていたデータが0～7ビットのF/F31に与えられて保持される。また、ソースメモリにおけるアドレスA(n+1)の3バイト目(24～31ビット)に格納され、前回の転送サイクル終了時にF/F35に保持されていたデータが8～15ビットのF/F32に与えられて保持される。

次に、選択信号CHを“1”レベル状態、シフ

— 15 —

ト信号S24を“1”レベル状態、フィードバック信号FBを“0”レベル状態、書き込みポイント信号W16を“1”レベル状態とする。これにより、ソースメモリにおけるアドレスA(n+2)の4バイトのデータが選択部1により選択されてシフト部2に与えられ、上位方向へ16ビットシフトされて、F/F33～36に与えられてバイト単位で保持される。すなわち、第2図の第2回目の転送モードで示すように、ソースメモリからの0バイト目のデータが16～23ビットのF/F33に、1バイト目のデータが24～31ビットのF/F34に、2バイト目のデータが32～39ビットのF/F35に、3バイト目のデータが40～47ビットのF/F36にそれぞれ保持される。これにより、ソースメモリからバッファ部3へ第2回目の転送データの取り込み動作が終了する。

ここで、ソースメモリから出力された転送データを書込む先頭のF/Fの位置は、転送されるデータの先頭バイトのソースメモリにおけるバイト

— 17 —

— 16 —

の位置を示す値(0～3)をソースアドレスとし、転送先であるディスティネーションメモリに格納されるバイトの位置を示す値(0～3)をディスティネーションアドレスとすると、次式によって算出される。

(ソースアドレス) > (ディスティネーションアドレス) の場合には、

$$4 - (\text{ソースアドレス}) + (\text{ディスティネーションアドレス})$$

(ソースアドレス) < (ディスティネーションアドレス) の場合には、

$$(\text{ディスティネーションアドレス}) - (\text{ソースアドレス})$$

このようにして算出された転送データを書込む先頭のF/Fの位置に応じて、書き込みポイント信号が決定される。例えば、この実施例の場合には、ソースアドレスの値が“0”、ディスティネーションアドレスの値が“2”となり、転送データを書込む先頭のF/Fは2バイト目となり、F/F33を先頭のF/Fとすべく書き込みポイント信号

— 18 —

(A) W16が“1”レベルとなる。

また、シフト部2でのシフト量は、バッファ部3からディスティネーションメモリに転送される転送データのバイトの数で決定される。すなわち、この実施例では、第1回目の転送サイクルではディスティネーションメモリに3バイト分のデータを転送して格納することができるので、シフト量は3バイトとなり、第2回目以降の転送サイクルでは4バイト分のデータが転送されて格納されるので、シフト量は4バイトとなる。

次に、前述した状態において、F/F31～34に保持された0～31ビットの転送データをディスティネーションメモリのアドレスA(x+1)に転送する。これにより、ソースメモリにおけるアドレスA(n+1)の2バイト目と3バイト目のデータとアドレスA(n+2)の0バイト目と1バイト目のデータが連結され、ディスティネーションメモリのアドレスA(x+2)の0バイト目～3バイト目に転送されて格納される。これにより、ソースメモリからディスティネーションメモ

リへの第2回目の転送サイクルが終了する。

次に、第3回目の転送サイクルでは、まず、選択信号CHを“0”レベル状態、シフト信号S32を“1”レベル状態、フィードバック信号FBを“1”レベル状態、書き込みポイント信号W0を“1”レベル状態とする。これにより、前回の転送サイクルにおいて、F/F35, 36に保持されていたデータをフィードバックさせて下位方向に4バイトシフトさせ、F/F31, 32に格納保持する。その後、第2回目の転送サイクルと同様に、ソースメモリから4バイトのデータがバッファ部3に書き込まれ、バッファ部3のF/F31～34に保持されたデータが、第2図の第3回目の転送モードに示すように、ディスティネーションメモリへ転送されて格納される。これにより、第3回目の転送サイクルは終了する。

これ以降の転送サイクルは、第3回目の転送サイクルと同様の動作を繰り返して行ない、ソースメモリからディスティネーションメモリへデータを順次転送して格納する。

- 19 -

このように、第5図に示したミスアライメント状態でのデータ転送において、ソースメモリからディスティネーションメモリのアドレスA(x+2)に4バイトのデータを格納するためには、第2図に示したように3回の転送サイクルで完了する。すなわち、アライメント状態でのデータ転送と同程度の転送サイクルでデータを転送することが可能となる。これに対して、DMAコントローラがミスアライメント状態におけるデータ転送をサポートしない従来にあっては、前述したように倍近い転送サイクルが必要となる。したがって、転送速度を従来に比して高速化することができるようになる。

〔発明の効果〕

以上説明したように、この発明によれば、転送データを整列配置し、整列配置された転送データの中から1回の転送で格納できる最大数の単位データを転送するようにしたので、ミスアライメント状態でのデータ転送速度を高速化することが可能となる。これにより、転送時間の短縮化が図ら

- 21 -

- 20 -

れ、情報処理の高速化に寄与することができるDMAコントローラを提供することができるようになる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係わるDMAコントローラの要部構成を示す図、

第2図は第1図に示すコントローラの動作説明図、

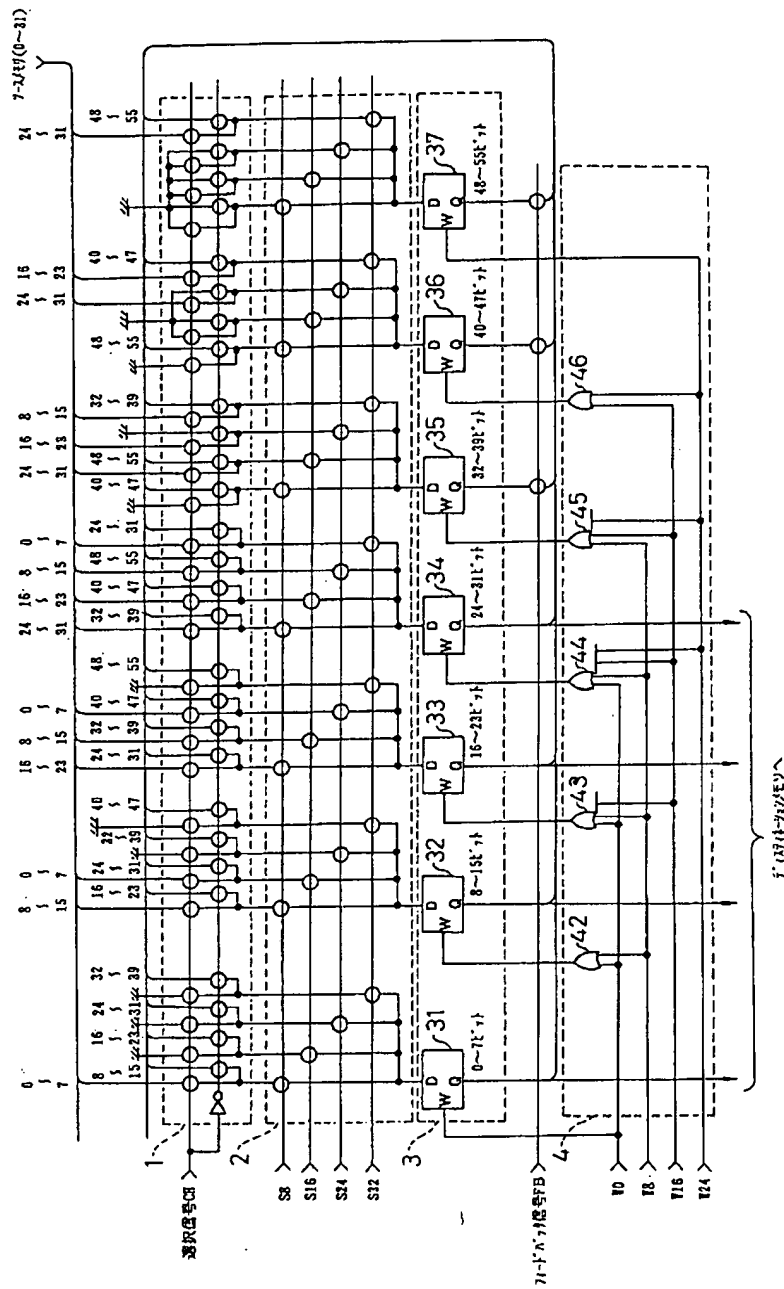
第3図は転送データにおけるアドレスとデータとの関係を示す図、

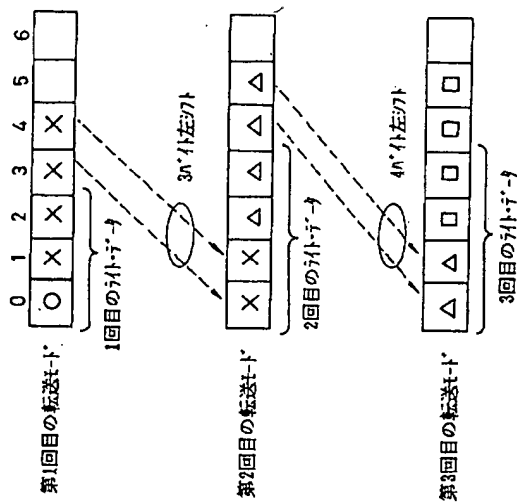
第4図及び第5図はデータ転送が行なわれるメモリ間におけるアライメント状態及びミスアライメント状態を示す図である。

- 1…選択部、
- 2…シフト部、
- 3…バッファ部、
- 4…書き込み制御部、
- 31～37…フリップフロップ、
- 42～46…ORゲート。

代理人弁護士 三好 秀和

- 22 -





第 2 図

